

ASSIGNMENT METHOD FOR SHARED MEMORY ADDRESS AND INFORMATION PROCESSING SYSTEM

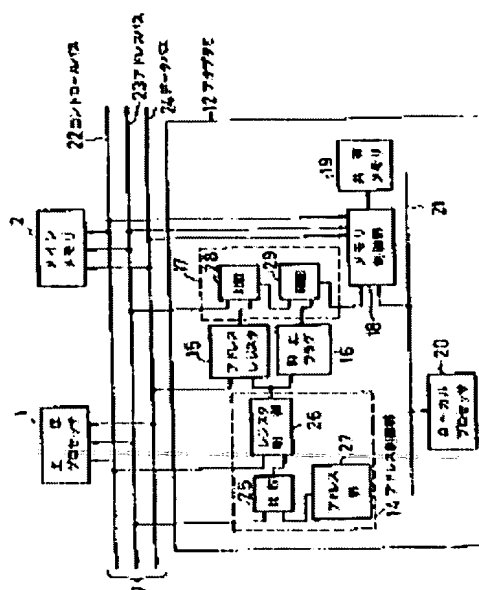
Patent number: JP2163848
Publication date: 1990-06-25
Inventor: KADOTA HIROAKI; SAEKI YUJI; OISHI SHIRO
Applicant: HITACHI LTD
Classification:
- International: G06F12/00; G06F12/02
- european:
Application number: JP19880317994 19881216
Priority number(s): JP19880317994 19881216

Report a data error here

Abstract of JP2163848

PURPOSE: To effectively use a memory address space of an information processing system by deciding optionally the address of a shared memory of each adaptor via a host processor and setting the address of the shared memory to a shared memory address register of each adaptor.

CONSTITUTION: The address area assigned to a shared memory 19 of each adaptor 12 is kept in a variable state. Then a host processor 1 assigns a proper address area to each memory 19 when a system is formed or changed. In other words, the processor 1 assigns variably an address area to the memory 19 of each adaptor 12 and sets the head address to a shared memory address register. Thus the occupied area of a memory address space is reduced despite of the presence of many adaptor types and at the same time the duplication of address areas of the memory 19 can be eliminated.



Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-163848

⑬ Int. Cl.⁵

G 06 F 12/02
12/00

識別記号

3 0 3 A
Q

庁内整理番号

8841-5B
8841-5B

⑭ 公開 平成2年(1990)6月25日

審査請求 未請求 請求項の数 5 (全8頁)

⑮ 発明の名称 共有メモリアドレス割当方法および情報処理システム

⑯ 特 願 昭63-317994

⑰ 出 願 昭63(1988)12月16日

⑱ 発 明 者 門 田 弘 晃 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

⑱ 発 明 者 佐 伯 祐 司 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

⑱ 発 明 者 大 石 志 郎 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 富田 和子

明 細 書

1. 発明の名称

共有メモリアドレス割当方法および情報処理システム

2. 特許請求の範囲

1. 上位プロセッサおよび下位プロセッサの双方からアクセス可能な共有メモリを有するアダプタを複数個搭載可能な情報処理システムにおける共有メモリアドレス割当方法であって、

各アダプタの共有メモリに割り当てべきアドレス領域を可変にしておき、システム構築または変更時に、上記上位プロセッサが搭載アダプタの種類を認識し、該搭載アダプタの各共有メモリに対してそれぞれ固有のアドレス領域を割り当ててことを特徴とする共有メモリアドレス割当方法。

2. おのおの共有メモリを有する複数種のアダプタと該複数種のアダプタを搭載可能なスロットを有する情報処理装置とを備え、アダプタに内蔵された共有メモリを介して当該アダプタと情

報処理装置との間の情報を交換する情報処理システムにおいて、

上記情報処理装置は、上記スロットに搭載されているアダプタ種を確認して当該アダプタに割り当てべきアドレス領域を決定し、該アドレス領域に対応するアドレス情報を当該アダプタへ与えるプロセッサ手段を有し、

上記共有メモリを有するアダプタは、上記プロセッサ手段により与えられたアドレス情報を保持するアドレス情報保持手段と、該手段に保持されたアドレス情報に応じて上記プロセッサ手段による上記共有メモリのアクセスを制御する手段とを有する

ことを特徴とする情報処理システム。

3. 上記アダプタのアドレス情報保持手段がアドレス情報を保持するまで、当該アダプタの共有メモリのアクセスを抑止するアクセス抑止手段をさらに設けたことを特徴とする請求項2記載の情報処理システム。

4. ローカルプロセッサと、該ローカルプロセッサ

サおよび上位プロセッサの双方からアクセス可能な共有メモリとを有するアダプタにおいて、

上記上位プロセッサが上記共有メモリに割り当てた自メモリアドレス空間上のアドレス領域に対応するアドレス情報を保持するアドレス情報保持手段と、

上記上位プロセッサからのアドレス情報を上記保持手段に設定するアドレス情報設定手段と、

上記保持手段に保持されたアドレス情報に応じて、上記上位プロセッサから上記共有メモリへのアクセスを検出するアクセス検出手段と、

該アクセス検出手段の検出出力に応じて、上記割り当てられたアドレス領域内のアドレスの書き込み/読出しを行うメモリ制御手段とを設けたことを特徴とするアダプタ。

5. 上記アドレス情報保持手段にアドレス情報が設定されるまで、上記共有メモリのアクセスを抑止するアクセス抑止手段をさらに設けたことを特徴とする請求項4記載のアダプタ。

3. 発明の詳細な説明

は、例えば、特開昭57-89128号公報に開示されたものが挙げられる。この方式では、メインメモリ上に情報交換用のメモリエリアを設け、このメモリエリアを、アダプタ部はDMA（ダイレクトメモリアクセス）でアクセスし、一方、プロセッサ部はメモリ・リード/ライト命令でアクセスすることにより、相互の情報交換を行うようにしている。

しかし、この方式では、①情報量の増大（例えば、転送データ256バイトから4キロバイトへの増大）、②通信の高速化（パラレル処理）に伴うバッファ数の増大、③高機能化による制御プログラムの増大等の各種要因により、メインメモリ容量が大量に必要となり、メインメモリの容量不足を招来するという問題があった。

そこで、近年では、各アダプタ単位に、上位プロセッサと各アダプタ上のローカルプロセッサとが共にアクセス可能な共有メモリを、アダプタ内に設け、この共有メモリに対して、予め、各種アダプタの機能ごとに、上位プロセッサと各種アダ

【産業上の利用分野】

本発明は、共有メモリを内蔵するアダプタを複数枚搭載できる情報処理システムにおいて、各アダプタの共有メモリに対して効率的にアドレスを割り当てることができる共有メモリアドレス割当方法に関する。

【従来の技術】

従来、情報処理システムにおいて、ユーザの種々の要請に応えるために、汎用インタフェースをサポートする種々のアダプタを用意している。このようなアダプタとしては、例えば、回線接続用アダプタ、LAN接続用アダプタ、外部デバイス制御用アダプタ等、多種多様のものがある。これらのアダプタを搭載すべきワークステーション等の情報処理装置には、一般に複数のスロット（コネクタ）が設けられており、各種アダプタの任意の組合せが任意のスロットに搭載可能とされている。

情報処理装置のプロセッサと情報処理装置に搭載されたアダプタとの間の情報交換の方式として

アダプタ間で取り決めたアドレス領域を固定的に割り当てることにより、相互間の情報転送を可能としている。

【発明が解決しようとする課題】

しかしながら、このように、アダプタ種単位に各アダプタの共有メモリアドレスを固定的に割り当てることには、次のような問題があった。

Ⅰ）多種のアダプタに対して、固定的に共有メモリアドレスを割り当てるため、割り当てるアドレス空間が不足する恐れがある。

Ⅱ）上位プロセッサのメモリアドレス空間上で、共有メモリに割り当てられる領域が異なるシステムに対してアダプタを搭載した場合、そのアダプタの共有メモリアドレスがシステムエリアと重複する恐れが生じる。

本発明は、このような従来の問題を解決するためになされたもので、上位プロセッサのメモリアドレス空間上の共有メモリエリア不足の恐れを解消し、かつ、メモリアドレス空間上の共有メモリアドレス領域が異なるシステムに対してもアダプ

タを搭載できる共有メモリアドレス割当方法。この方法を実施する情報処理システムおよびアダプタを提供することにある。

〔課題を解決するための手段〕

上記目的を達成するために、本発明による共有メモリアドレス割当方法は、上位プロセッサおよび下位プロセッサの双方からアクセス可能な共有メモリを有するアダプタを複数個搭載可能な情報処理システムにおける共有メモリアドレス割当方法であって、各アダプタの共有メモリに割り当てべきアドレス領域を可変にしておき、システム構築または変更時に、上位プロセッサが搭載アダプタの種類を認識し、該搭載アダプタの各共有メモリに対してそれぞれ固有のアドレス領域を割り当てるようにしたものである。

また、本発明による情報処理システムは、おのおの共有メモリを有する複数種のアダプタと該複数種のアダプタを搭載可能なスロットを有する情報処理装置とを備え、アダプタに内蔵された共有メモリを介して当該アダプタと情報処理装置との

間の情報を交換する情報処理システムにおいて、上記情報処理装置は、上記スロットに搭載されているアダプタ種を確認して当該アダプタに割り当てべきアドレス領域を決定し、該アドレス領域に対応するアドレス情報を当該アダプタへ与えるプロセッサ手段を有し、上記共有メモリを有するアダプタは、上記プロセッサ手段により与えられたアドレス情報を保持するアドレス情報保持手段と、該手段に保持されたアドレス情報に応じて上記プロセッサ手段による上記共有メモリのアクセスを制御する手段とを有することを特徴とするものである。

このシステムにおいて、好ましくは、上記アダプタのアドレス情報保持手段がアドレス情報を保持するまで、当該アダプタの共有メモリのアクセスを抑止するアクセス抑止手段をさらに設ける。

さらに、本発明によるアダプタは、ローカルプロセッサと、該ローカルプロセッサおよび上位プロセッサの双方からアクセス可能な共有メモリとを有するアダプタにおいて、上記上位プロセッサ

が上記共有メモリに割り当てた自メモリアドレス空間上のアドレス領域に対応するアドレス情報を保持するアドレス情報保持手段と、上記上位プロセッサからのアドレス情報を上記保持手段に設定するアドレス情報設定手段と、上記保持手段に保持されたアドレス情報に応じて、上記上位プロセッサから上記共有メモリへのアクセスを検出するアクセス検出手段と、該アクセス検出手段の検出出力に応じて、上記割り当てられたアドレス領域内のアドレスの書込み／読出しを行うメモリ制御手段とを設けたことを特徴とするものである。

このアダプタにおいては、上記アドレス情報保持手段にアドレス情報が設定されるまで、上記共有メモリのアクセスを抑止するアクセス抑止手段をさらに設けることが好ましい。

〔作用〕

上記本発明の構成において、共有メモリを有するアダプタを搭載してシステムを構築したとき、またはアダプタを追加あるいは変更したとき、上位プロセッサは、いずれのアダプタ種が搭載され

ているかを確認し、共有メモリを有するアダプタが搭載されているを認識した場合には、そのアダプタの既知の共有メモリ容量に基づき、自己のメモリアドレス空間の空き領域からその共有メモリに割り当てべきアドレス領域を決定する。つぎに、この決定されたアドレス領域に対応するアドレス情報をそのアダプタ内の保持手段に保持させる。以後、このアダプタは、自己の共有メモリに割り当てられたアドレス領域のアドレスに対しては、自己の共有メモリに対する上位プロセッサからのアクセスであると認識する。

また、上記抑止手段の作用により、アダプタがスロットに搭載されていても、その共有メモリにアドレス領域が割り当てられるまで、すなわち、その保持手段にアドレス情報が保持されるまでは、上記抑止手段が共有メモリへのアクセスを抑止してメモリの誤アクセスを防止している。

本発明によれば、共有メモリのアドレス領域は各アダプタ種ごとに固定的に決定されるのではなく、搭載されたアダプタについてのみ、新たにア

ドレス領域を割り当てるようにすることにより、上位プロセッサのメモリアドレス空間を効率的に使用できる。また、システムごとに共有メモリへの割当アドレスが決まるので、従来のようにアドレス領域の重複が生じるおそれはなく、同一のアダプタ群を異なるシステムにも共用できる。

【実施例】

以下、本発明の一実施例について図面を参照しながら説明する。

第2図は、本発明が適用される情報処理システムのブロック図を示す。

本システムは、システムバス7により相互に接続された上位プロセッサ1と、メインメモリ2と、スロット3（スロット#0）からスロット6（スロット#3）と、これらのスロットに搭載されるアダプタ群とからなる。スロット#0からスロット#3の4つのスロットには、第6図に示すアダプタ8（アダプタA）からアダプタ13（アダプタF）のいずれかが搭載される。

第5図はこれらのアダプタについての共有メモ

ットに固有の番号付けがなされている。

第4図は、第2図の上位プロセッサ1のメモリアドレス空間のアドレス構成を示したものである。

いずれかのスロットにアダプタが搭載されているか否かの確認時に、上位プロセッサ1はアダプタAからアダプタFの順に（全アダプタに対し）アクセスする。これに対し、アクセスされた各アダプタはスロット#0からスロット#3に搭載されていれば、搭載されているスロットの番号を上位プロセッサ1へ知らせる。また、各アダプタがスロット#0からスロット#3に搭載されていないければ、上位プロセッサ1はタイマで応答を監視し、一定時間応答がなければタイムオーバーと見なし、そのアダプタはいずれのスロットにも搭載されていないと認識する。

本構成例では、まず、上位プロセッサ1はアダプタAをアクセスする。これに対しアダプタAはスロット#3に搭載されていることをスロット番号で上位プロセッサ1に知らせる。次に、アダプタBをアクセスする。これに対し、アダプタBは

りの有無及び共有メモリの容量を例示したものである。上位プロセッサ1は、アダプタAからアダプタFが持つ共有メモリをアクセスして情報の交換を行なう。

第2図は、スロット#0からスロット#3に搭載されたアダプタ構成を示した図である。本構成例は、スロット#0に2Mバイトの共有メモリを有するアダプタEが搭載され、スロット#1にはアダプタを搭載せず、スロット#2には共有メモリ無しのアダプタCが搭載され、さらにスロット#3には1Mバイトの共有メモリを有するアダプタEが搭載されている構成を示している。以下、説明を簡単にするために、この構成例に従って説明する。

各スロット#1～#3は、第3図に示すように、そのスロットに搭載されたアダプタとの接続に供される端子a、bを有する。この各端子は、それぞれ、高電位レベルまたは低電位レベルのいずれかに接続され（ここでは抵抗を介した5ボルト電位への接続、または接地）、これによって各スロ

ット#0からスロット#3のどれにも搭載されておらず応答しないため、上位プロセッサ1はタイムオーバーとなり、アダプタBが搭載されていないことを認識する。以下、アダプタCからアダプタFに対しても上記アクセスを行ないアダプタの構成を認識する。このようにして認識されたシステム構成は、ハードディスク装置等に記憶される。このアダプタについてのシステム構成の確認処理は、システムの構築時および変更時に行う必要がある。

上位プロセッサ1は、電源投入時あるいは初期化時に、アダプタAからアダプタFの情報（共有メモリの有無及び共有メモリの容量）をメインメモリあるいは、ハードディスク装置などにより、現在搭載されているアダプタの情報を確認する。このアダプタ情報により、スロット#0には2Mバイトの共有メモリを有するアダプタEが搭載され、スロット#1にはアダプタが無く、スロット#2には共有メモリ無しのアダプタCが搭載され、さらにスロット#3には1Mバイトの共有メモリ

を有するアダプタAが搭載されていることを確認できる。この認識に基づいて、第4図に示す通り、上位プロセッサ1のメモリアドレス空間の共有メモリエリア上にスロット#0に搭載されているアダプタEについてはその共有メモリ2Mバイトを2Mバイトの領域（例えば、アドレスA00000～BFFFFFF）に割り当て、スロット#1とスロット#2については共有メモリが無いので何も行わず、スロット#3に搭載されているアダプタAについてはその共有メモリ1Mバイトを1Mバイトの領域（例えば、アドレスC00000～CFFFFFF）に割り当てる。

第1図に、第6図のアダプタ（E）12の具体的な構成例とともにシステム構成を示す。共有メモリを有する他のアダプタの構成も基本的には同様である。

第1図において、第2図のシステムバス7は、コントロールバス22、アドレスバス23およびデータバス24から構成されている。また、アダプタEは、共有メモリアドレスレジスタ15と、

抑止フラグレジスタ16と、この両レジスタを制御するアドレス制御部14と、上位プロセッサ1およびローカルプロセッサ20の双方からアクセス可能な共有メモリ19と、この共有メモリ19のアクセスを制御するアクセス制御部17およびメモリ制御部18と、ローカルプロセッサ20、およびローカルバス21とで構成される。

アドレス制御部14は、本アダプタEのアドレスレジスタのアドレス“60000”を固定的に保持しているアドレス部27と、このアドレスをアドレスバス23のアドレスと比較するアドレス比較部25と、この比較部25の一致出力によりアドレスレジスタ15へのアドレス情報設定および抑止フラグレジスタ16のリセットを行うレジスタ制御部26とからなる。また、アクセス制御部17は、アドレスレジスタ15に設定されたアドレス情報とアドレスバス23上のアドレスとを比較するアドレス比較部28と、抑止フラグレジスタ16がセットされていないとき比較部28の一致出力に応じてメモリ制御部18にメモリアクセ

スがあったことを知らせる抑止フラグ確認部29とからなる。

以下、共有メモリアドレスの設定動作について第1図により具体的に説明する。

上位プロセッサ1は、第4図の通り割り当てたアダプタEの共有メモリ領域の先頭アドレス“A00000”を共有メモリアドレスレジスタ15（アドレス“60000”）へ書き込むためのライト命令を出す。アドレス制御部14内のアドレス比較部25は、アドレス“60000”が自共有メモリアドレスレジスタのアドレスかどうか判定し、アドレスが一致したら（この場合は一致する）、レジスタ制御部26が、コントロールバス22から送られてきたライト命令により、データバス24から送られて来たデータ（共有メモリ領域の先頭アドレス“A00000”）を共有メモリアドレスレジスタ15へ書き込む。同時に、レジスタ制御部26は、抑止フラグレジスタ16をリセットする。この抑止フラグレジスタ16は、電源投入時にセットされて上位プロセッサ1からの共有メモリ

19へのアクセスを抑止しているが、この時点でリセットされ、これにより、上位プロセッサ1から共有メモリ19へアクセス可能な状態となる。

次に、上位プロセッサ1とアダプタEとの情報交換を第1図により説明する。例えば、上位プロセッサ1が共有メモリ19内の情報をリードする場合、上位プロセッサ1は共有メモリ19領域の或るアドレス（例えば“A10000”）に対してリード命令を出力する。そこで、アクセス制御部17内のアドレス比較部28は、前記出力されたアドレス“A10000”が共有メモリ19のアドレス領域（A00000～BFFFFFF）内に存在するか否かを判定する。この判定の方法としては、本アダプタEの場合、共有メモリ19の容量が2Mバイトであるため、24ビットアドレス中の上位3ビットについて一致するか否かを判定すればよい。もし、1Mバイトの容量のアダプタAであれば、その比較部28は上位4ビットを比較する構成とすればよい。この判定後、このメモリアクセスが本アダプタの共有メモリ19へのアクセスであることが判明す

ると、抑止フラグレジスタ確認部29は、抑止フラグレジスタ16がリセットされている（共有メモリアドレスレジスタ15にアドレスが設定されている）か確認する。抑止フラグレジスタ16がリセットされていれば、メモリ制御部18はコントロールバス22、アドレスバス23、データバス24から情報（アドレス“A10000”をリード）を取り込む。この情報を取り込み後、メモリ制御部18は、ローカルプロセッサ20からのアクセスの有無を確認する。ローカルプロセッサ20からのアクセスが無い場合は、共有メモリ19に対し上記アドレス“A10000”の相対アドレスを確認し、該相対アドレスの情報をリードする。この場合には、アドレスの下位21ビットをそのまま共有メモリ19のアクセスアドレスとして用いる。これによって読みだされた情報をデータバス24を通じて上位プロセッサ1へ送る。また、ローカルプロセッサ20からのアクセスが有る場合、および同時にアクセスされた場合は、ローカルプロセッサ20のアクセス終了後、メモリ制御部18

は、前記制御を共有メモリ19に対して行ない、上位プロセッサ1へ情報を送る。ここでは、ローカルプロセッサ20による共有メモリアクセスを優先したが、用とに応じていずれを優先してもよい。

本実施例によれば、上位プロセッサは各アダプタが有する共有メモリに対して可変にアドレス領域を割当、その先頭アドレスを共有メモリアドレスレジスタへ設定することにより、多数のアダプタ種の存在にもかかわらず、メモリアドレス空間の占有領域は少なく済み、かつ、共有メモリのアドレス領域が重複しない効果がある。

以上、本発明の好適実施例について説明したが、本発明の要旨を逸脱することなく、種々の変更を行うことが可能である。例えば、上記実施例ではアダプタのアドレスをアダプタ種ごとに固定としたが、アダプタが搭載されたスロットに応じて一意に決定するようにしてもよい。このような技術は、特願昭 号において本出願人が提案している。これによって、第4図に示したアダプ

タに割り当てる共有メモリアドレスレジスタポートの数は、アダプタ種の数ではなく、スロットの数により決まる少数で済むことになり、アダプタアドレスが上位プロセッサのメモリアドレス空間に占める割合が減少する。また、搭載アダプタの検出時にも、全アダプタ種数分のアドレスを順次検査するのではなく、全スロット数分のアドレスを検査すればよいので、処理が簡略化かつ迅速化される。任意のスロットに搭載されたアダプタは、そのスロットに固有のアドレスを割り当てられ、このアドレスを受けたとき、予め各アダプタに割り当てられたアダプタIDを上位プロセッサに返す。この構成によれば、同一種のアダプタを同一の装置に複数個搭載することも可能になる。

さらに、共有メモリアドレスを固定的に定めた従来構成のアダプタを混在して搭載することも可能である。

【発明の効果】

本発明は、以上説明したように構成されているので以下に記載されるような効果を奏する。

上位プロセッサは各アダプタが有する共有メモリのアドレスを任意に決め、このアドレスを各アダプタが有する共有メモリアドレスレジスタへ設定することにより、共有メモリを有する多種のアダプタを同一システムに採用しながら、システムのメモリアドレス空間を効率的に使用することができる。また、上位プロセッサのメモリアドレス空間が異なる装置についても搭載できる。

4. 図面の簡単な説明

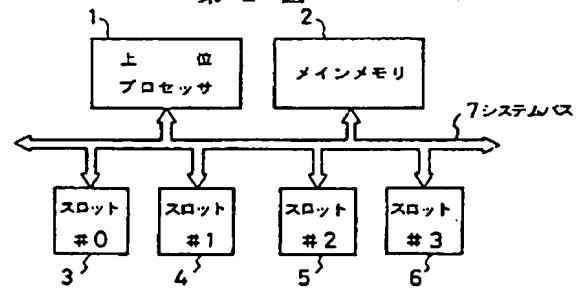
第1図は本発明によるアダプタの構成の一実施例を示すブロック図、第2図は本発明が適用される情報処理システムのブロック図、第3図は第2図の各スロットの具体例およびアダプタ搭載例の説明図、第4図は上位プロセッサのメモリアドレス空間の説明図、第5図は第3図に示したアダプタのシステム構成の説明図、第6図は各種アダプタの説明図である。

1…上位プロセッサ、2…メインメモリ、3～6…スロット#0～3、7…システムバス、8～

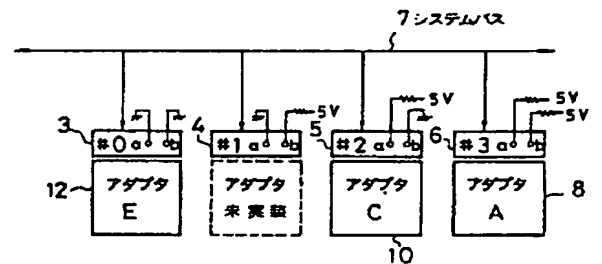
1 3 … アダプタ A ~ F、1 4 … アドレス制御部、
1 5 … 共有メモリアドレスレジスタ、1 6 … 抑止
フラグレジスタ、1 7 … アクセス制御部、1 8 …
メモリ制御部、1 9 … 共有メモリ、2 0 … ローカ
ルプロセッサ、2 1 … ローカルバス、2 2 … コン
トロールバス、2 3 … アドレスバス、2 4 … デー
タバス。

出願人 株式会社 日立 製作所
代理人 弁理士 富田 和子

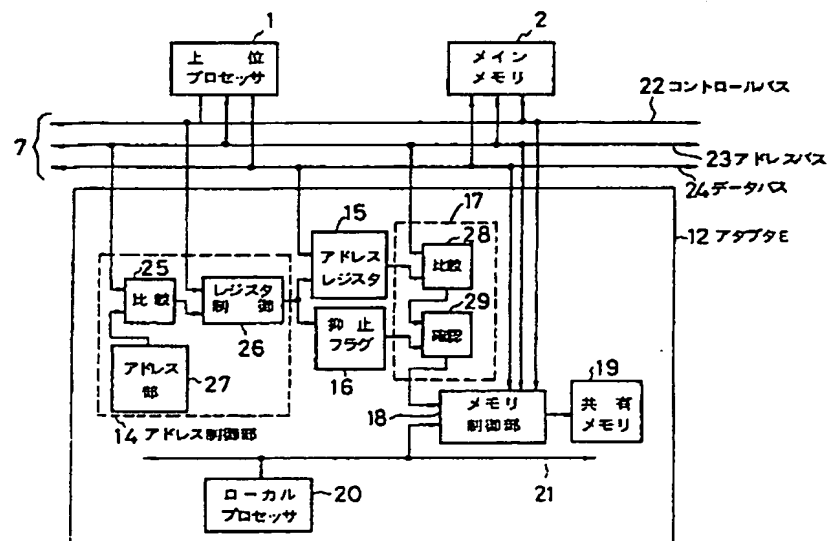
第 2 图



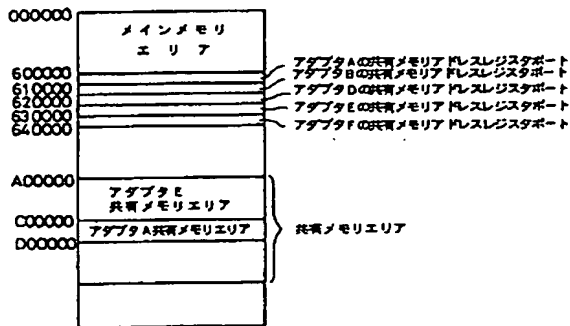
第 3 図



第 1 図



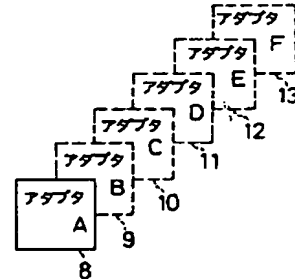
第 4 図



第 5 図

スロット名	搭載アダプタ	共有メモリの有無	共有メモリの容量
スロット*0	アダプタE	有	2Mバイト
*1	無	—	—
*2	アダプタC	無	—
スロット*3	アダプタA	有	1Mバイト

第 6 図



アダプタ名	共有メモリの有無	共有メモリの容量
アダプタ A	有	1 Mバイト
B	有	2 Mバイト
C	無	—
D	有	1 Mバイト
E	有	2 Mバイト
アダプタ F	有	2 Mバイト

手 続 補 正 書 (自発)

昭和63年12月19日



特許庁長官 殿

1. 事件の表示 昭和63年12月16日提出の特許願(2)

2. 発明の名称 共有メモリアドレス割当方法および情報処理システム

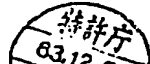
3. 補正をする者
 事件との関係 特許出願人
 住 所 東京都千代田区神田駿河台四丁目6番地
 名 称 株式会社 日 立 製 作 所

4. 代 理 人 〒220
 住 所 神奈川県横浜市区高島2丁目12番6号
 崎陽軒ビル ヨコハマ・ジャスト 7階
 氏 名 (8717)弁理士 宮 田 和 子
 電 話 045-453-0872

5. 補正命令の日付
自 発6. 補正の対象
明細書の発明の詳細な説明の欄

7. 補正の内容
 明細書、第20ページ第19行
 「特願昭 - 号」とあるのを「特願昭63-288335 号」と訂正する。

方式 (小 説)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.